

Pontifícia Universidade do Rio Grande do Sul

Seminário interno de Avaliação da Iniciação Científica

Projeto: Explorama: Uma Ferramenta para Exploração Paramétrica de Modelos Analíticos para
Avaliação de Desempenho de Redes Intrachip

Bolsista: Lucas Brahm

Orientador: César Augusto Missio Marcon

Resumo:

A evolução rápida na tecnologia de fabricação de Circuitos Integrados (CIs) e o crescimento constante do número de transistores por unidade de área nos CIs permitem a utilização de diversos componentes em um único CI. Quando esses componentes caracterizam-se como um sistema, este CI é denominado de SoC (System-on-Chip). Buscando atender os requisitos de escalabilidade e paralelismo de comunicação, uma nova arquitetura para a comunicação foi estabelecida: NoC (Network-on-chip). NoC surgiu como uma arquitetura de comunicação para plataformas de MPSoCs (Multiprocessor System-on-Chip). Nesta rede de comunicação baseada em pacotes, dezenas de elementos de processamento, em inglês Processing Elements (PEs) são integrados juntos com uma grande quantidade de memória embarcada em um único chip. NoCs são uma plataforma de comunicação promissora devido à sua escalabilidade, vazão e consumo de energia eficiente.

NoCs usuais são baseadas em modelos bidimensionais, onde os elementos de comunicação e processamento encontram-se dispostos sob um mesmo plano. Porém, tal disposição apresenta limitações referentes à latência e ao consumo de energia; limitações estas que se tornam ainda mais impactantes conforme aumentam a quantidade de PEs e a distância entre as unidades de roteamento. Desta forma, a evolução natural nas arquiteturas de NoCs foi utilizar planos sobrepostos, adicionando mais uma dimensão ao processo de fabricação de CIs, resultando em NoC em três dimensões (NoCs 3D).

A inserção da terceira dimensão permite diminuir a distância de comunicação e o número de saltos necessários para o tráfego de pacotes, reduzindo a latência e aumentando a vazão na rede, e consequentemente reduzindo o tempo de execução da aplicação.

Entretanto, os benefícios citados anteriormente só podem ser atingidos com certo custo adicional. Sabemos que links verticais são normalmente considerados um gargalo em modelo de NoC 3D, principalmente por implicar links com maior área e às vezes mecanismos para serializar e deserializar a comunicação. Além disso, com a tecnologia atual, a solução mais

promissora na construção de CIs 3D é empilhar diversas camadas de CI 2D juntas usando links verticais denominados *Through-Silicon Vias* (TSVs).

Devido à tecnologia atual ser relativamente recente, o tráfego de dados da TSV é outro gargalo em NoCs 3D, uma vez que TSVs possuem uma grande diferença de área e impedância, quando comparadas às conexões planares. Uma técnica que visa reduzir área em conexões 3D é a serialização dos dados através da multiplexação. Com ela, é possível reduzir a área causada pela TSVs. Entretanto, esta técnica afeta a latência da rede e da aplicação, então devemos avaliar suas vantagens e desvantagens.

Este projeto consiste na continuidade e implementação da arquitetura de malha de NoC 3D chamada Lasio, que é uma extensão da NoC 2D Hermes. A ferramenta geradora da arquitetura Lasio é chamada Electra que possibilita gerar NoCs 3D com variações arquiteturais, tais como: (i) diversos tamanhos em X, Y e Z; (ii) largura de flit e buffer parametrizável; e (iii) mais recentemente a geração de TSVs com diferentes graus de multiplexação. Além disto, pode ser gerado testbench com diferentes cenários de tráfego e taxa de injeção.

Atualmente, estão sendo implementados a geração de novos tráfegos para analisar o comportamento da NoC 3D em diversos cenários. Também há a intenção de se alterar o algoritmo de roteamento e a transmissão de dados da TSV, visto que o algoritmo de roteamento tem um impacto muito grande no tempo global de execução da aplicação.